


METHOD FOR FORMING GUARD RING REGION OF SEMICONDUCTOR SUBSTRATE

Patent Number: JP5206264
Publication date: 1993-08-13
Inventor(s): SUZUKI YUJI
Applicant(s):: MATSUSHITA ELECTRIC WORKS LTD
Requested Patent:  JP5206264
Application Number: JP19920012436 19920127
Priority Number(s):
IPC Classification: H01L21/76 ; H01L21/22
EC Classification:
Equivalents:

Abstract

PURPOSE:To provide a method for forming a guard ring region having a sufficient field effect alleviating function on a semiconductor substrate in a short processing time.

CONSTITUTION:After an impurity diffused region 5 for a guard ring region is formed on an inner surface of a groove of a semiconductor substrate 1 having the groove 3 formed at a place where the ring region is to be formed by anisotropically etching, the substrate is oxidized, the oxide film covering at least the inner surface of the groove is removed, and then an oxide film 9 is again formed on the inner surface of the groove.

Data supplied from the esp@cenet database - I2

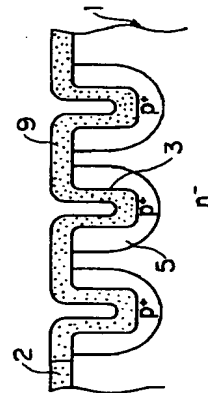
(51)Int.Cl. ⁴		機列記号		行内整理番号	F I	審査請求 未請求 請求項の数1(全 4 頁)
H 01 L		21/78	S	9169-4M		
		21/72	V	9278-4M		
		21/78	L	9169-4M		
(21)出願番号		特開平4-12488		(71)出願人 00005832		
(22)出願日		平成 4 年(1992) 1 月27 日		(72)発明者 鈴木 裕二 大阪府門真市大字門真1048番地 式会社内 大阪府門真市大字門真1048番地松下電工株 式会社内 (74)代理人 井里士 松本 武彦		

(54)【発明の名称】 半導体基板におけるガードリング領域の形成方法

(57)【要約】

【目的】 十分な電界緩和機能を有するガードリング領域を短い処理時間でもって半導体基板に形成することができる方法を提供する。

【構成】 ガードリング領域を形成する位置に異方性エッチングにより形成した凹溝9を有する半導体基板1の前記凹溝の内面部分にガードリング領域用の不純物拡散領域5を形成した後、半導体基板1に対し酸化処理を行い、ついで、少なくとも凹溝の内面を覆う酸化膜を一旦除去しておいてから、少なくとも凹溝の内面に酸化膜9を改りて形成するようにする半導体基板におけるガードリング領域の形成方法。



【特許請求の範囲】

【請求項1】 ガードリング領域を形成する位置に異方性エッチングにより形成した凹溝を有する半導体基板の前記凹溝の内面部分にガードリング領域用の不純物拡散領域を形成した後、半導体基板1に対し酸化処理を行い、ついで、少なくとも凹溝の内面を覆う酸化膜を一旦除去しておいてから、少なくとも凹溝の内面に酸化膜を改りて形成するようにする半導体基板におけるガードリング領域の形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体装置の製造の際に用いられる半導体基板におけるガードリング領域の形成方法に関する。

【0002】

【従来の技術】 半導体装置の高圧化方法として、図6にみるように、半導体基板81の活性領域(素子形成領域)Eの外側にガードリング領域91を設ける方法がある。半導体基板81のn-領域の表面部分に活性領域Eを囲むように逆導電型のp+型不純物拡散領域を形成する。図6の半導体装置の場合、活性領域Eは表面ゲート型電界誘導サイリスタ素子として必要な領域が形成されている。82はp+型のゲート領域、83はn+型のカソード領域、84はp+のプノード領域、85はn-型のベークス領域である。

【0003】そして、素子の主電流遮断時には、図7にみるように、半導体基板81の活性領域Eから外側のn-領域に伸びる空乏層Hがガードリング領域91があることにより広がって電界が緩和され面圧が高まるのである。半導体装置の仕掛(主電流遮断電圧、耐圧など)でガードリング領域91の本数は異なる。1本のガードリング領域91で出来る電界緩和の程度は、ガードリング91同士の間隔L1やガードリング領域の深さL2、不純物濃度、品質等で決まる。間隔L1や深さが適当であればガードリング領域91の深さに比例して面圧が高まるため、従来の高面圧半導体装置ではガードリング領域の形成に要する時間と占有面積が増加し、価格面で問題となっていた。

【0004】一方、最近、半導体装置では、集積度の向上、オン電圧の改善等の半導体装置の性能向上とすることが試みられており、これに伴い活性領域内の各不純物拡散領域の拡散深さは減少する一方である。このように、活性領域内では拡散深さを短くし、活性領域外では拡散深さを長くしなければならないという相反する方向であるため、ガードリング領域は活性領域内の各領域とは必ず別の工程で形成しなければならない。

【0005】そこで、以下のような改善策が提案されている。まず、図8にみるように、半導体基板81の表面にレジストマスク92を形成しておいて、ガードリング領域形成位置を覆う酸化膜93を部分的にエッチング除

(2)

特開平5-206264

去し窓94を開け、これをマスクにして異方性エッチングを行い、図9にみるように、凹溝(トレンチ)95を形成する。

【0006】ついで、図10にみるように、不純物の導入・拡散を行い、凹溝95の内面部分にp+型不純物拡散領域を形成しガードリング領域91、91を完成させる。この後、図11にみるように、凹溝95の内面に酸化処理等で酸化膜97を形成したり、凹溝95を絶縁材で埋めたりする。しかしながら、上記の改善策は、凹溝の深さ分だけ実効的拡散距離が短縮され処理時間は短くなるけれども、完成したガードリング領域の電界緩和機能が損なわれ面圧を上せられないという別の問題を生じる。

【0007】

【発明が解決しようとする課題】 この発明は、上記事情に鑑み、十分な電界緩和機能を有するガードリング領域を短い処理時間でもって半導体基板に形成することができする方法を提供することを課題とする。

【0008】

【課題を解決するための手段】 前記課題を解決するため、この発明にかかる半導体基板におけるガードリング領域の形成方法では、ガードリング領域を形成する位置に異方性エッチングにより形成した凹溝を有する半導体基板の前記凹溝の内面部分にガードリング領域用の不純物拡散領域を形成した後、半導体基板に対し酸化処理を行い、ついで、少なくとも凹溝の内面を覆う酸化膜を一旦除去しておいてから、少なくとも凹溝の内面に酸化膜を改りて形成するようにしている。

【0009】この発明で作製するガードリング領域も、従来の同様、半導体基板の活性領域を囲むように形成される。ガードリング領域の形成本数は、1本の場合もあるし、複数本の場合もある。本数は必要に応じて決定すればよい。活性領域に形成される半導体素子の種類は、電界誘導半導体装置、DMOS-FETを始め何でもよく、特に限定されない。

【0010】半導体基板の表面に形成する凹溝は、物理的エッチング法、普通、高エネルギーイオン照射方式のプラズマエッチング法が用いられる。

【0011】

【作用】 この発明では、ガードリング領域を凹溝の内面に形成するため、半導体基板におけるガードリング領域の深さは同じでも、凹溝の深さ分だけ実効的不純物拡散距離が短縮され、短い拡散時間でガードリング領域が形成できる。その結果、活性領域に形成される不純物拡散領域との同時形成も可能となる。

【0012】この発明では、ガードリング領域用の不純物拡散領域を形成した後、凹溝内表面を一定深さ分だけ除去する。つまり、凹溝内面の表面部分を酸化膜に覆えこれを除くことにより不良部分を除去するのである。この不良部分は異方性エッチングの際の高エネルギーイオ

で調整した部分であり、これがそのままだとガードリング領域表面やその上の酸化膜部分が良品でなくなり、ガードリング領域が正常な電界緩和機能を発揮できな

い。この発明の場合は、この損傷部分を除去してしま

う。完成したガードリング領域が所定の電界緩和機能

を發揮し耐圧を向上させられるのである。

【0013】

【実施例】以下、この発明の実施例を図面を参照しながら詳しく説明する。この発明は、下記の実施例に限らな

いことは言うまでもない。まず、図2にみるように、表

面が酸化膜2で覆われた半導体基板1の酸化膜2の上に

レジストマスク21を設けておいて、ガードリング領域

形成位置を覆う酸化膜2を部分的にエッチング除去し酸

22を開ける。

【0014】ついで、図2の開いた酸化膜2をマスク

にして、高エネルギーイオン照射による異方性エッチ

ングを行い、図3にみるように、凹溝（トレンチ）3を半

導体基板1のガードリング領域形成位置に設ける。凹溝

3内表面から2000Å程度の深さの部分（斜線部分）

が高エネルギーイオンによる損傷である。凹溝3を形

成してから、図4にみるように、P型不純物の導入・拡

散を行い、凹溝3の内面部分にP型不純物拡散領域を

形成しガードリング領域5を設けた後、熱酸化処理で高

エネルギーイオンによる損傷領域を酸化し酸化膜6に変

えてしまう。拡散深さはL2でも実際の拡散距離L3と選

に短い。

【0015】次に、図5にみるように、必要部分を除く

レジストマスク25を設けてエッチング処理し凹溝3内

面の酸化膜6を除去し損傷不良部分を取り去ったのち、

酸化又はCVD法の酸化膜増殖などにより、図1にみる

ように、正常な（良品の）酸化膜9を形成すればガード

リング構造の完成である。この発明の方法によるガード

リング領域は不純物拡散距離が短いために普通は活性傾

斜の各領域を形成した後を実施するのがよいが、これに

限らず、活性領域における同じ導電型の不純物拡散領域

の形成と同時に進めてよい。

【0016】例えば、表面ゲート型電界誘導半導体装置

の場合、ゲート領域はガードリング領域と同じ導電型で

あるから、ゲート領域もガードリング領域と同様に形成

位置に凹溝を設ける方法をとれば、ゲート領域およびガ

ードリング領域の拡散距離は短縮され両領域の同時形成

が可能となる。

【0017】

【発明の効果】以上に述べたように、この発明の方法に

よれば、凹溝の深さ分に応じて実際の不純物拡散距離が

短縮されるため、従来のような深い深さのガードリング

領域を短く処理時間で形成でき、しかも、異方性エッチ

ングの後の高エネルギーイオンによる損傷部分が除去さ

れているため、完成したガードリング領域が所定の電界

緩和機能を發揮するから、この発明は非常に有用であ

る。

【図面の簡単な説明】

【図1】この発明の実施例で形成したガードリング領域

をあらわす概略断面図である。

【図2】実施例における酸化膜の開口工程を示す概略

断面図である。

【図3】実施例における凹溝形成工程を示す概略断面図

である。

【図4】実施例における凹溝内面に対する酸化工程を示

す概略断面図である。

【図5】実施例における凹溝内面の酸化膜除去工程を示

す概略断面図である。

【図6】ガードリング領域が設けられた半導体装置をあら

わす概略断面図である。

【図7】図6の部分拡大断面図である。

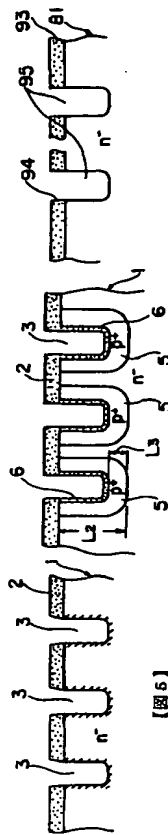
【図8】従来法における酸化膜の開口工程を示す概略

断面図である。

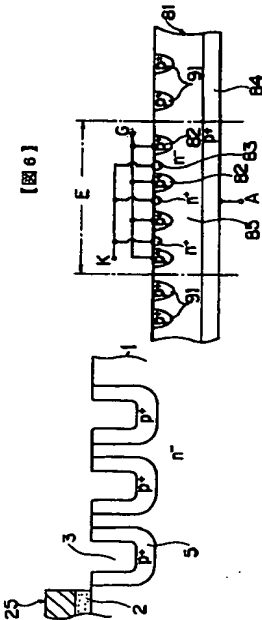
【図4】

【図3】

【図9】



【図6】



【図7】

【図10】

【図11】

